

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08046026 A**
(43) Date of publication of application: **16.02.86**

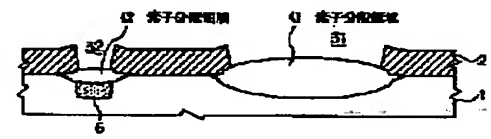
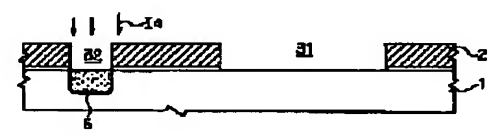
(51) Int. Cl. H01L 21/76 H01L 21/265	
(21) Application number: 06186099	(71) Applicant: SONY CORP
(22) Date of filing: 28.07.84	(72) Inventor: GOCHO TETSUO

(54) **MANUFACTURE OF SEMICONDUCTOR DEVICE WITH ELEMENT ISOLATION REGION** 42 are formed by using the mask pattern 2 as a mask.
COPYRIGHT: (C)1996,JPO

(57) Abstract

PURPOSE: To provide a manufacturing method of a semiconductor device which can form isolation without difference in film thickness of element isolation regions by preventing generation of difference in oxide film thickness between wide and narrow openings in a mask when using a selective oxidation method wherein a mask such as a nitride film is used.

CONSTITUTION: A mask pattern 2 with a wide opening part 31 and a narrow opening part 32 is formed on a semiconductor substrate 1, selective oxygen ion implantation 1a is performed for the narrow opening part 32 and element isolation regions 41, 42 are formed by oxidizing a semiconductor substrate part which corresponds to the opening parts 31, 32 by using the mask pattern 2 as a mask. For example, selective oxygen ion implantation is performed for the narrow opening part 32 alone by using difference in film thickness between the oxide regions 41, 42 in the wide opening part 31 and the narrow opening part 32 by performing oxygen ion implantation 1b after the oxide regions 41,



*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The manufacture approach of a semiconductor device of having the component isolation region characterized by having the process which performs an oxygen ion implantation to said narrow opening in the manufacture approach of a semiconductor device equipped with the process which forms the mask pattern which has broad opening and narrow opening on a semi-conductor substrate, oxidizes the semi-conductor substrate part which corresponds to opening by using this mask pattern as a mask, and forms a component isolation region.

[Claim 2] The manufacture approach of a semiconductor device of having the component isolation region according to claim 1 characterized by forming the mask pattern which has broad opening and narrow opening on a semi-conductor substrate, performing an oxygen ion implantation to this narrow opening alternatively, oxidizing the semi-conductor substrate part which corresponds to opening by using said mask pattern as a mask after that, and forming a component isolation region.

[Claim 3] The mask pattern which has broad opening and narrow opening is formed on a semi-conductor substrate. Oxidize the semi-conductor substrate part which corresponds to opening by using this mask pattern as a mask, and an oxidation field is formed. The manufacture approach of a semiconductor device of having the component isolation region according to claim 1 characterized by performing an oxygen ion implantation to said narrow opening alternatively by performing an oxygen ion implantation after that using the difference of the thickness of said formed oxidation field in broad opening and narrow opening.

[Claim 4] The manufacture approach of a semiconductor device of having the component isolation region according to claim 1 to 3 characterized by performing heat annealing at one after an oxygen ion implantation of the times.

[Claim 5] The manufacture approach of a semiconductor device of having the component isolation region according to claim 1 to 4 characterized by the formation ingredient of a mask pattern being a nitride.

[Claim 6] The manufacture approach of a semiconductor device of having the component isolation region according to claim 1 to 5 characterized by for the formation ingredient of a mask pattern being silicon nitride, and a semi-conductor substrate being an Si substrate.

[Claim 7] The manufacture approach of the semiconductor device according to claim 6 characterized by considering as the almost same thickness as the thickness of an oxide film which makes the component isolation region which should form the thickness of the silicon nitride used as a mask.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the manufacture approach of a semiconductor device of having a component isolation region. This invention can be suitably used for altitude as detailed-izing and the manufacture approach of the integrated semiconductor device, and is preferably applicable to manufacture of integrated semiconductor circuits, such as a memory device to which detailed integration advanced especially.

[0002]

[Description of the Prior Art] The selective oxidation method using the mask pattern as means forming of the separation between components of a semiconductor device is used from the former. For example, about Si semiconductor device, the selective oxidation method (LOCOS) which used the nitride as the mask has been used.

[0003] However, Thinning to which oxide-film thickness becomes thin with detailed-izing of a semiconductor device in a part with the narrower tooth space of a nitride mask Effect (34 J. Hui et. al, IEDM1985, p392;T.Mizuno et.al, IEEE Trans.Electron Devices ED- 1987p 2255) is becoming a problem. This Thinning As it is indicated in drawing 9 as Effect, oxide-film 4c for isolation of narrow opening 3c of a mask pattern 2 is becoming thinner than oxide-film 4of broad opening 3a a. About opening 3b of both middle width of face, it turns out that the oxide-film 4b is middle thickness, and it deals with the width of face of opening. For example, specifically, the oxide-film thickness in the part whose tooth space of a nitride mask is 0.3 micrometers turns into about 60 - 70% of thickness compared with a large tooth-space part. It is a problem, for example, in the device for high speeds, if oxidation thickness becomes thin, capacity will increase, and the problem that speed will fall produces the ununiformity of the thickness of the oxide film of a component isolation region.

[0004]

[Objects of the Invention] This invention solves the trouble of the above-mentioned conventional technique, and aims at offering the manufacture approach of a semiconductor device of having the component isolation region in which the tooth space of a mask pattern can form isolation without the oxide-film thickness difference of a narrow part and a large part.

[0005]

[Means for Solving the Problem] Invention of claim 1 of this application forms the mask pattern which has broad opening and narrow opening on a semi-conductor substrate. In the manufacture approach of a semiconductor device equipped with the process which oxidizes the semi-conductor substrate part which corresponds to opening by using this mask pattern as a mask, and forms a component isolation region It is the manufacture approach of a semiconductor device of having the component isolation region characterized by equipping said narrow opening with the process which performs an oxygen ion implantation, and this solves the above-mentioned trouble. In addition, in this specification, "broad" and narrow ["narrow"] say about relative relation mutually.

[0006] Invention of claim 2 of this application forms the mask pattern which has broad opening and narrow opening on a semi-conductor substrate. It is the manufacture approach of a semiconductor device of having the component isolation region according to claim 1 characterized by performing an oxygen ion implantation to this narrow opening alternatively, oxidizing the semi-conductor substrate part which corresponds to opening by using said mask pattern as a mask after that, and forming a component isolation region. This solves the above-mentioned trouble.

[0007] Invention of claim 3 of this application forms the mask pattern which has broad opening and narrow opening on a semi-conductor substrate. Oxidize the semi-conductor substrate part which corresponds to opening by using this mask pattern as a mask, and an oxidation field is formed. The difference of the thickness of said formed oxidation field in broad opening and narrow opening is used by performing an oxygen ion implantation after that. It is the manufacture approach of a semiconductor device of having the component isolation region according to claim 1 characterized by performing an oxygen ion implantation to said narrow opening alternatively, and this solves the above-mentioned trouble.

[0008] It is the manufacture approach of a semiconductor device of having the component isolation region according to claim 1 to 3 characterized by invention of claim 4 of this application performing heat annealing at one after an oxygen ion implantation of the times, and this solves the above-mentioned trouble.

[0009] Invention of claim 5 of this application is the manufacture approach of a semiconductor device of having the component isolation region according to claim 1 to 4 characterized by the formation ingredient of a mask pattern being a nitride, and, thereby, solves the above-mentioned trouble.

[0010] The formation ingredient of a mask pattern is silicon nitride, and invention of claim 6 of this application is the manufacture approach of a semiconductor device of having the component isolation region according to claim 1 to 5 characterized by a semi-conductor substrate being an Si substrate, and, thereby, solves the above-mentioned trouble.

[0011] Invention of claim 7 of this application is the manufacture approach of the semiconductor device according to claim 6 characterized by considering as the almost same thickness as the thickness of an oxide film which makes the component isolation region which should form the thickness of the silicon nitride used as a mask, and, thereby, solves the above-mentioned trouble.

[0012]

[Function] Since narrow opening is equipped with the process which performs an oxygen ion implantation when forming the mask pattern which has narrow opening and forming a component isolation region by selective oxidation in this invention using this mask pattern on a semi-conductor substrate Thinning resulting from the ability of an oxidation kind not to go into narrow opening (narrow tooth-space section) easily As opposed to the problem which becomes small rather than oxide-film thickness can set to broad opening by Effect By the oxygen driven in by this ion implantation, that part can be compensated and the oxide film of the same thickness as broad opening can be obtained. Thereby, the problem accompanying the ununiformity of thickness is solvable.

[0013] Moreover, invention of claim 3 of this application compensated the lack of an oxidation kind of the narrow tooth-space section, without adding a mask process because the ion implantation of the oxidation kind is made to be carried out only to the direction of the narrow tooth-space section even if oxide-film thickness used the thin thing and carried out the ion implantation to the whole surface from the oxide film by which the direction of the oxide film made into narrow opening (narrow tooth-space section) is made at broad opening (large tooth-space section). This is Thinning. It can be said to be the skillful technique of having suppressed the increase of a process, using the result of Effect conversely. When after an ion implantation is proper, it advances oxidation reaction of an oxidation kind, Si, etc. which were suitably poured in with means, such as heat annealing, and should just use it as an oxide film.

[0014] It can be said that this invention is especially effective about the ASIC device SRAM accumulated highly and for the high speeds for [after a half micron and it] generations etc.

[0015]

[Example] The example of this invention is explained with reference to a drawing below. However, although it is natural, this invention does not receive limitation according to the example of illustration.

[0016] an example 1 — this example materialized this invention about Si semiconductor device, especially the semiconductor device used as SRAM integrated by altitude — it is.

[0017] Drawing 1 thru/or drawing 5 are referred to. This example forms the mask pattern 2 which has the broad opening 31 and the narrow opening 32 on the semi-conductor substrate 1 (here Si substrate), as shown in drawing 1 , as shown in drawing 2 , it performs the oxygen ion implantation 1a to this narrow opening 32 alternatively, it oxidizes the semi-conductor substrate part which corresponds to openings 31 and 32 by using said mask pattern 2 as a mask as shown in drawing 3 after that, and forms the component isolation regions 41 and 42.

[0018] Furthermore, in detail, by this example, after forming an oxide film 10 (Pad-SiO₂) on the semi-conductor substrate 1 which is an Si substrate, Si₃N₄ are formed as an ingredient used as the mask at the time of oxidization, Si₃N₄ are alternatively removed in RIE after photoresist patterning, and the mask pattern 2 shown in drawing 1 is formed. In addition, the ingredient of a mask pattern 2 is SiO₂ at a next

etching process also except a nitride. A selection ratio can be taken and there is thermal resistance, and it can be used if it does not produce un-arranging, such as contamination.

[0019] Then, this is Thinning, although the ion implantation Ia of oxygen is performed only about the narrow opening 32 as shown in drawing 2 . It carries out with the injection rate which can compensate with Effect the part to which oxide-film thickness becomes thin. A usual means by which the resist mask was used can be used for an alternative ion implantation. A sign 5 shows an ion-implantation field.

[0020] Then, as shown in drawing 3 , the component isolation regions 41 and 42 are formed by the selective oxidation (here, it oxidizes thermally) which used the mask pattern 2 (Si₃N₄ mask pattern) as the mask. Thinning Of Effect, although the component isolation region 42 under the narrow opening 32 is thinner than the component isolation region 41 of broad opening, the ion-implantation field 5 of oxygen is formed here.

[0021] After performing Si₃N₄ removal by the hot phosphoric acid, and oxide-film 10 removal and carrying out like drawing 4 , when heat annealing is given, as it is shown in drawing 5 , oxide-film thickness becomes large removal of a mask pattern 2, and here, and component isolation region 42a becomes thickness equivalent to the component isolation region 41.

[0022] By the above, it is the conventional Thinning. The manufacture approach of a semiconductor device of having the component isolation region which solved the trouble of Effect was able to be acquired.

[0023] an example 2 — while this example applies this invention to Si semiconductor device — Thinning The process which stopped the routing counter is realized using a difference of the thickness of the oxide film produced by Effect. That is, this example makes invention of claim 3 concrete.

[0024] Drawing 6 thru/or drawing 8 are referred to. About drawing 1 , it refers to in common with an example 1.

[0025] This example forms the mask pattern 2 which has the broad opening 31 and the narrow opening 32 on the semi-conductor substrate 1 (drawing 1). Oxidize the semi-conductor substrate part which corresponds to openings 31 and 32 by using this mask pattern 2 as a mask, and the oxidation fields 41 and 42 are formed. an oxygen ion implantation is alternatively performed only about said narrow opening 32 by performing the oxygen ion implantation Ib after that using the difference of the thickness of said formed oxidation fields 41 and 42 in the broad opening 31 and the narrow opening 32 (drawing 6) — it was made like.

[0026] Furthermore, in case the mask pattern 2 shown in drawing 1 is specifically formed by Si₃N₄ in this example, Si₃N₄ thickness at this time makes even the Si substrate 1 the thickness which oxygen ion does not reach at the time of the oxygen ion implantation of a next process (at the time of the ion implantation Ib of drawing 6). SiO₂ Since the stopping power to the ion implantation of Si₃N₄ is almost the same, Si₃N₄ thickness should just be taken as the almost same thickness as oxide-film thickness to form. In this example, some [it / 400nm and] are considered as thick extent.

[0027] Next, it oxidizes. Here, the case where it oxidizes so that the oxide-film thickness of the oxidation field 41 of the broad opening 31 (large tooth-space part) may be set to 400nm is shown. The oxide-film thickness of the narrow opening 32 (narrow tooth-space part) at this time is set to about 270nm. The ion implantation Ib of oxygen is performed on the whole surface, leaving a mask pattern 2 (Si₃N₄ mask) in this condition (drawing 6). For example, although about 30% of oxygen of a dose will be poured into Si under the oxidation field 42 of the narrow opening 32 (narrow tooth-space part) covering a depth of about 120nm if oxygen ion is poured in with the energy of 110keV(s) (Rp=216.9nm, deltaRp=57.6nm), in the broad opening 31 (large tooth-space part), all oxygen ion is prevented all over the thick oxidation field 41 here. That is, the mask process is unnecessary here. the oxygen density in Si under the oxidation field 42 of the narrow opening 32 (narrow tooth-space part) — 6E21/cm³ ** — the time of wanting to carry out — a dose — 2.6E16/cm² Then, it is good.

[0028] Next, removal of the mask pattern 2 (Si₃N₄ mask) in a hot phosphoric acid and the oxide film 10 (Pad-SiO₂) by diluted fluoric acid are removed (drawing 7).

[0029] Next, association of the oxygen and Si which were poured into the narrow 32 openings isolation region is performed in heat annealing (drawing 8). For example, N₂ What is necessary is just to perform annealing in an ambient atmosphere using a 850-1200-degree C temperature field.

[0030] By this, component isolation region 42a under the narrow opening 32 becomes thickness equivalent to the component isolation region 41 under the broad opening 31.

[0031] By the above, it is the conventional Thinning. The manufacture approach of a semiconductor device of having the component isolation region which solved the trouble of Effect was able to be acquired.

[0032] without it uses a mask process according to this example — Thinning since an ion implantation is

performed only to a desired place using the thickness difference by Effect, even if it compares with an example 1 — a process — a desired semiconductor device can be obtained a few.

[0033]

[Effect of the Invention] As the above-mentioned detailed explanation was carried out, according to the manufacture approach of a semiconductor device of having the component isolation region of this invention, it is closed if it is possible to form a component isolation region without the oxide-film thickness difference about a part with the narrow tooth space of a mask pattern and a large part.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The process of an example 1 is shown in order (1).

[Drawing 2] The process of an example 1 is shown in order (2).

[Drawing 3] The process of an example 1 is shown in order (3).

[Drawing 4] The process of an example 1 is shown in order (4).

[Drawing 5] The process of an example 1 is shown in order (5).

[Drawing 6] The process of an example 2 is shown in order (1).

[Drawing 7] The process of an example 2 is shown in order (2).

[Drawing 8] The process of an example 2 is shown in order (3).

[Drawing 9] It is drawing showing the problem of the conventional technique.

[Description of Notations]

1 Semi-conductor Substrate

2 Mask Pattern (Nitride Pattern)

31 Broad Opening

32 Narrow Opening

41 42 Oxidation field (component isolation region)

42a Component isolation region

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

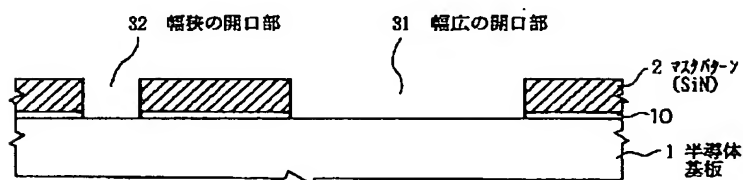
2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DRAWINGS

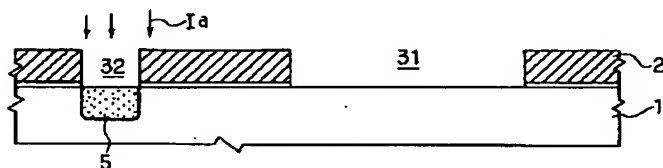
[Drawing 1]

実施例1の工程(1)



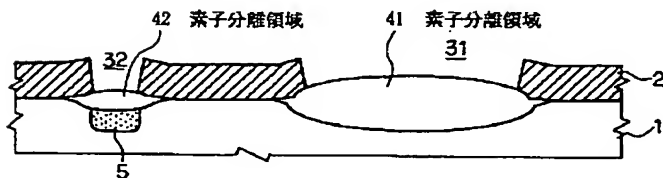
[Drawing 2]

実施例1の工程(2)



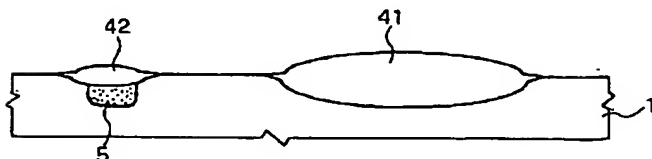
[Drawing 3]

実施例1の工程(3)



[Drawing 4]

実施例1の工程(4)



[Drawing 5]

実施例1の工程(5)



[Drawing 7]

実施例2の工程(2)



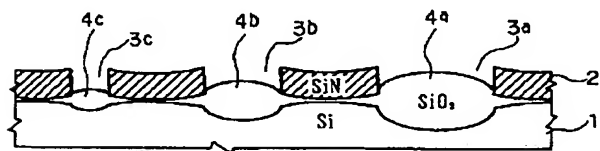
[Drawing 8]

実施例2の工程(3)



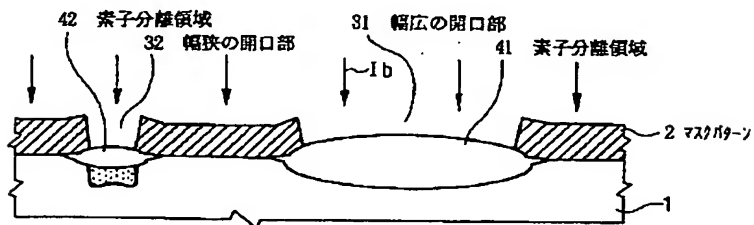
[Drawing 9]

従来技術の問題点(Thinnig Effect)



[Drawing 6]

実施例2の工程(1)



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-46026

(43) 公開日 平成8年(1996)2月16日

(51) Int.Cl.⁶

H 0 1 L 21/76

21/265

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/76

21/265

R

A

R

審査請求 未請求 請求項の数 7 F D (全 6 頁)

(21) 出願番号

特願平6-196099

(22) 出願日

平成6年(1994)7月28日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 牛棚 哲雄

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 弁理士 高月 亨

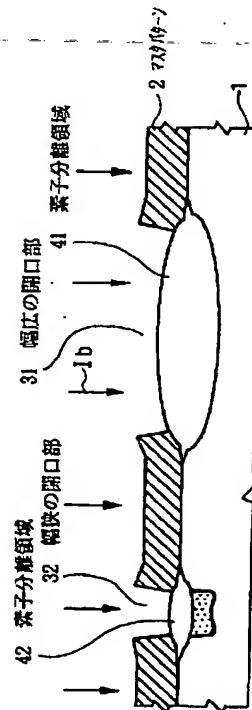
(54) 【発明の名称】 素子分離領域を有する半導体装置の製造方法

(57) 【要約】

【目的】 窒化膜等のマスクを用いた選択酸化法を用いる際、マスクの開口幅が狭い部分と広い部分との酸化膜厚差ができることを防止して素子分離領域の膜厚差のない素子分離を形成できる半導体装置の製造方法を提供する。

【構成】 半導体基板1上に幅広の開口部31と幅狭の開口部32とを有するマスクパターン2を形成し、幅狭の開口部32に選択的に酸素イオン注入Iaを行い、その後、マスクパターン2をマスクとして開口部31、32に該当する半導体基板部分を酸化して素子分離領域41、42を形成する。例えばマスクパターン2をマスクとして酸化領域41、42を形成した後酸素イオン注入Ibを行うことにより幅広の開口部31と幅狭の開口部32における酸化領域41、42の膜厚の差を利用して、前記幅狭の開口部32についてのみに選択的に酸素イオン注入を行う。

実施例2の工程(1)



【特許請求の範囲】

【請求項1】半導体基板上に幅広の開口部と幅狭の開口部とを有するマスクパターンを形成し、該マスクパターンをマスクとして開口部に該当する半導体基板部分を酸化して素子分離領域を形成する工程を備える半導体装置の製造方法において、前記幅狭の開口部に酸素イオン注入を行う工程を備えることを特徴とする素子分離領域を有する半導体装置の製造方法。

【請求項2】半導体基板上に幅広の開口部と幅狭の開口部とを有するマスクパターンを形成し、該幅狭の開口部に選択的に酸素イオン注入を行い、その後、前記マスクパターンをマスクとして開口部に該当する半導体基板部分を酸化して素子分離領域を形成することを特徴とする請求項1に記載の素子分離領域を有する半導体装置の製造方法。

【請求項3】半導体基板上に幅広の開口部と幅狭の開口部とを有するマスクパターンを形成し、該マスクパターンをマスクとして開口部に該当する半導体基板部分を酸化して酸化領域を形成し、その後酸素イオン注入を行うことにより幅広の開口部と幅狭の開口部とにおける前記形成された酸化領域の膜厚の差を利用して、前記幅狭の開口部に選択的に酸素イオン注入を行うことを特徴とする請求項1に記載の素子分離領域を有する半導体装置の製造方法。

【請求項4】酸素イオン注入の後のいずれかの時点において、熱アニールを行うことを特徴とする請求項1ないし3のいずれかに記載の素子分離領域を有する半導体装置の製造方法。

【請求項5】マスクパターンの形成材料が窒化物であることを特徴とする請求項1ないし4のいずれかに記載の素子分離領域を有する半導体装置の製造方法。

【請求項6】マスクパターンの形成材料がシリコンナイトライドであり、半導体基板がSi基板であることを特徴とする請求項1ないし5のいずれかに記載の素子分離領域を有する半導体装置の製造方法。

【請求項7】マスクとするシリコンナイトライドの膜厚を、形成すべき素子分離領域をなす酸化膜の膜厚とほぼ同じ膜厚とすることを特徴とする請求項6に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、素子分離領域を有する半導体装置の製造方法に関する。本発明は、例えば、高度に微細化・集積化された半導体装置の製造方法として好適に利用でき、特に、例えば微細集積化が進行したメモリ素子等の集積半導体回路の製造に好ましく利用することができる。

【0002】

【従来の技術とその問題点】従来から半導体デバイスの

素子間分離の形成手段としては、マスクパターンを用いた選択酸化法が用いられている。例えば、Si半導体装置については、窒化膜をマスクとした選択酸化法(LOCOS)が用いられてきている。

【0003】しかし、半導体デバイスの微細化に伴い、窒化膜マスクのスペースが狭い部分ほど酸化膜厚が薄くなるThinning Effect(J. Hui et. al, IEDM, 1985, p392; T. Mizuno et. al, IEEE Trans. Electron Devices ED-34, 1987, p2255)が問題になってきている。このThinning Effectとは、図9に示すように、マスクパターン2の幅狭の開口部3cの素子分離用酸化膜4cが、幅広の開口部3aの酸化膜4aより薄くなることである。両者の中間の幅の開口部3bについては、その酸化膜4bは中間の膜厚となっており、開口部の幅に対応していることがわかる。例えば具体的には、窒化膜マスクのスペースが0.3μmの部分での酸化膜厚は、広いスペース部分に比べ60~70%程度の膜厚となる。素子分離領域の酸化膜の膜厚の不均一は問題であり、例えば、高速用のデバイスでは、酸化膜厚が薄くなると容量が増加し、スピードが低下してしまうという問題が生ずる。

【0004】

【発明の目的】本発明は、上記従来技術の問題点を解決して、マスクパターンのスペースが狭い部分と広い部分との酸化膜厚差がない素子分離を形成できる素子分離領域を有する半導体装置の製造方法を提供することを目的とする。

【0005】

【問題点を解決するための手段】本出願の請求項1の発明は、半導体基板上に幅広の開口部と幅狭の開口部とを有するマスクパターンを形成し、該マスクパターンをマスクとして開口部に該当する半導体基板部分を酸化して素子分離領域を形成する工程を備える半導体装置の製造方法において、前記幅狭の開口部に酸素イオン注入を行う工程を備えることを特徴とする素子分離領域を有する半導体装置の製造方法であって、これにより上記問題点を解決するものである。なお本明細書において、「幅広」「幅狭」というのは、互いに相対的な関係について言うものである。

【0006】本出願の請求項2の発明は、半導体基板上に幅広の開口部と幅狭の開口部とを有するマスクパターンを形成し、該幅狭の開口部に選択的に酸素イオン注入を行い、その後、前記マスクパターンをマスクとして開口部に該当する半導体基板部分を酸化して素子分離領域を形成することを特徴とする請求項1に記載の素子分離領域を有する半導体装置の製造方法であって、これにより上記問題点を解決するものである。

【0007】本出願の請求項3の発明は、半導体基板上

に幅広の開口部と幅狭の開口部とを有するマスクパターンを形成し、該マスクパターンをマスクとして開口部に該当する半導体基板部分を酸化して酸化領域を形成し、その後酸素イオン注入を行うことにより幅広の開口部と幅狭の開口部とにおける前記形成された酸化領域の膜厚の差を利用して、前記幅狭の開口部に選択的に酸素イオン注入を行うことを特徴とする請求項1に記載の素子分離領域を有する半導体装置の製造方法であって、これにより上記問題点を解決するものである。

【0008】本出願の請求項4の発明は、酸素イオン注入の後のいずれかの時点において、熱アニールを行うことを特徴とする請求項1ないし3のいずれかに記載の素子分離領域を有する半導体装置の製造方法であって、これにより上記問題点を解決するものである。

【0009】本出願の請求項5の発明は、マスクパターンの形成材料が窒化物であることを特徴とする請求項1ないし4のいずれかに記載の素子分離領域を有する半導体装置の製造方法であって、これにより上記問題点を解決するものである。

【0010】本出願の請求項6の発明は、マスクパターンの形成材料がシリコンナイトライドであり、半導体基板がSi基板であることを特徴とする請求項1ないし5のいずれかに記載の素子分離領域を有する半導体装置の製造方法であって、これにより上記問題点を解決するものである。

【0011】本出願の請求項7の発明は、マスクとするシリコンナイトライドの膜厚を、形成すべき素子分離領域をなす酸化膜の膜厚とほぼ同じ膜厚とすることを特徴とする請求項6に記載の半導体装置の製造方法であって、これにより上記問題点を解決するものである。

【0012】

【作用】本発明においては、半導体基板上に幅狭の開口部とを有するマスクパターンを形成し、該マスクパターンを用いて選択酸化により素子分離領域を形成する場合に、幅狭の開口部に酸素イオン注入を行う工程を備えるので、幅狭の開口部（狭いスペース部）には酸化種が入りにくいことに起因するThinning Effectにより酸化膜厚が幅広の開口部におけるより小さくなる問題に対し、このイオン注入により打ち込んだ酸素によってその分を補って、幅広の開口部と同様の膜厚の酸化膜を得ることができる。これにより、膜厚の不均一に伴う問題を解決できる。

【0013】また、本出願の請求項3の発明は、幅狭の開口部（狭いスペース部）にできる酸化膜の方が幅広の開口部（広いスペース部）にできる酸化膜より酸化膜厚が薄いことを利用し、全面にイオン注入しても狭いスペース部の方のみに酸化種がイオン注入されるようにすることで、マスク工程を追加することなく狭いスペース部の酸化種不足を補うようにした。これはThinning Effectの結果を逆に利用して工程増を抑えた

巧みな手法とすることができる。イオン注入後は、適宜の時点で、適宜熱アニール等の手段で注入した酸化種とSi等との酸化反応を進め、酸化膜とすればよい。

【0014】本発明は、ハーフミクロン及びそれ以降の世代用の、高度に集積されたSRAMや高速用のASICデバイス等について、特に効果的と言うことができる。

【0015】

【実施例】以下本発明の実施例について、図面を参照して説明する。但し当然のことではあるが、本発明は図示の実施例により限定を受けるものではない。

【0016】実施例1

この実施例は、本発明を、Si半導体装置、特に高度に集積化されたSRAMとして用いられる半導体装置について具体化したものある。

【0017】図1ないし図5を参照する。この実施例は、図1に示すように、半導体基板1（ここではSi基板）上に幅広の開口部31と幅狭の開口部32とを有するマスクパターン2を形成し、図2に示すようにこの幅狭の開口部32に選択的に酸素イオン注入Iaを行い、その後、図3に示すように前記マスクパターン2をマスクとして開口部31、32に該当する半導体基板部分を酸化して素子分離領域41、42を形成するものである。

【0018】更に詳しくは、本実施例では、Si基板である半導体基板1上に酸化膜10（ Pad-SiO_2 ）を形成した後、酸化時のマスクとなる材料として Si_3N_4 を形成し、フォトリソグラフィパターンニング後、RIEにて Si_3N_4 を選択的に除去し、図1に示すマスクパターン2を形成する。なおマスクパターン2の材料は、窒化物以外でも、後のエッチング工程で SiO_2 と選択比がとれ、耐熱性があり、汚染等の不都合を生じないのであれば使用できる。

【0019】続いて、図2に示すように幅狭の開口部32についてのみ酸素のイオン注入Iaを行うが、これは、Thinning Effectで酸化膜厚が薄くなる分を補償し得る注入量で行う。選択的なイオン注入は、レジストマスクを用いた通例の手段を用いることができる。イオン注入領域を符号5で示す。

【0020】この後、図3に示すように、マスクパターン2（ Si_3N_4 マスクパターン）をマスクとした選択酸化（ここでは熱酸化）により、素子分離領域41、42を形成する。Thinning Effectにより、幅狭の開口部32の下の方の素子分離領域42は、幅広の開口部の素子分離領域41より薄くなっているが、ここには酸素のイオン注入領域5が形成されている。

【0021】マスクパターン2の除去、ここではホットリン酸による Si_3N_4 除去、及び酸化膜10除去を行って図4の如くした後、熱アニールを施すと、図5に示すように、素子分離領域42aは酸化膜厚が大きくな

り、素子分離領域41と同等の膜厚となる。

【0022】以上によって、従来のThinning Effectの問題点を解決した素子分離領域を有する半導体装置の製造方法を得ることができた。

【0023】実施例2

この実施例は、Si半導体装置に本発明を適用するとともに、Thinning Effectにより生じた酸化膜の厚さの相違を利用して、工程数を抑えたプロセスを実現したものである。即ち、この実施例は、請求項3の発明を具体的に示したものである。

【0024】図6ないし図8を参照する。図1については、実施例1と共通に参照する。

【0025】この実施例は、半導体基板1上に幅広の開口部31と幅狭の開口部32とを有するマスクパターン2を形成し(図1)、該マスクパターン2をマスクとして開口部31、32に該当する半導体基板部分を酸化して酸化領域41、42を形成し、その後酸素イオン注入Ibを行うことにより幅広の開口部31と幅狭の開口部32とにおける前記形成された酸化領域41、42の膜厚の差を利用して、前記幅狭の開口部32についてのみを選択的に酸素イオン注入を行う(図6)ようにした。

【0026】更に具体的には、本実施例においては、図1に示すマスクパターン2をSi₃N₄により形成する際、この時のSi₃N₄膜厚は、後の工程の酸素イオン注入時(図6のイオン注入Ibの時)にSi基板1まで酸素イオンが到達しない膜厚とする。SiO₂とSi₃N₄のイオン注入に対する阻止能はほぼ同じなので、Si₃N₄膜厚は、形成したい酸化膜厚とほぼ同じ膜厚とすればよい。本実施例では、400nmか、それより多少厚い程度とする。

【0027】次に酸化を行う。ここでは幅広の開口部31(広いスペース部分)の酸化領域41の酸化膜厚が400nmになるように酸化した場合を示す。この時の幅狭の開口部32(狭いスペース部分)の酸化膜厚は、約270nmとなる。この状態でマスクパターン2(Si₃N₄マスク)を残したまま全面に酸素のイオン注入Ibを行う(図6)。例えば110keVのエネルギーで酸素イオンを注入すれば(Rp=216.9nm, ΔRp=57.6nm)、幅狭の開口部32(狭いスペース部分)の酸化領域42の下のSiには約120nmの深さにわたってドーズ量の約30%の酸素が注入されるが、幅広の開口部31(広いスペース部分)では、この厚い酸化領域41中で全ての酸素イオンは阻止される。即ち、ここではマスク工程は不要である。幅狭の開

口部32(狭いスペース部分)の酸化領域42の下のSi中の酸素濃度を6E21/cm³としたい時には、ドーズ量を2.6E16/cm²とすればよい。

【0028】次にホットリン酸でのマスクパターン2(Si₃N₄マスク)の除去と、希弗酸による酸化膜10(Pad-SiO₂)の除去を行う(図7)。

【0029】次に幅狭の開口部32素子分離領域に注入された酸素とSiの結合を、熱アニールにて行う(図8)。例えばN₂雰囲気中で、850~1200℃の温度領域を用いて、アニールを行えばよい。

【0030】これによって、幅狭の開口部32の下素子分離領域42aは、幅広の開口部31の下素子分離領域41と同等の膜厚となる。

【0031】上記によって、従来のThinning Effectの問題点を解決した素子分離領域を有する半導体装置の製造方法を得ることができた。

【0032】本実施例によれば、マスク工程を用いることなくThinning Effectによる膜厚差を利用して、所望の所にのみイオン注入を行うので、実施例1に比べても工程数少なく所望の半導体装置を得ることができる。

【0033】

【発明の効果】上述詳述したように、本発明の素子分離領域を有する半導体装置の製造方法によれば、マスクパターンのスペースが狭い部分と広い部分について、その酸化膜厚差がない素子分離領域を形成することが可能ならしめられる。

【図面の簡単な説明】

【図1】実施例1の工程を順に示すものである(1)。

【図2】実施例1の工程を順に示すものである(2)。

【図3】実施例1の工程を順に示すものである(3)。

【図4】実施例1の工程を順に示すものである(4)。

【図5】実施例1の工程を順に示すものである(5)。

【図6】実施例2の工程を順に示すものである(1)。

【図7】実施例2の工程を順に示すものである(2)。

【図8】実施例2の工程を順に示すものである(3)。

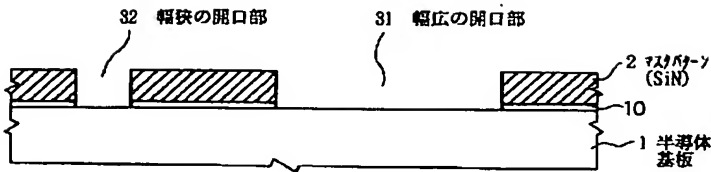
【図9】従来技術の問題を示す図である。

【符号の説明】

- | | |
|--------|------------------|
| 1 | 半導体基板 |
| 2 | マスクパターン(窒化膜パターン) |
| 31 | 幅広の開口部 |
| 32 | 幅狭の開口部 |
| 41, 42 | 酸化領域(素子分離領域) |
| 42a | 素子分離領域 |

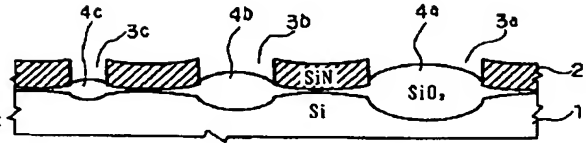
【図1】

実施例1の工程(1)



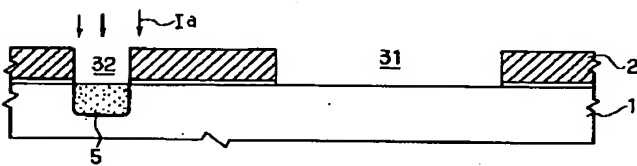
【図9】

従来技術の問題点(Thinnig Effect)



【図2】

実施例1の工程(2)



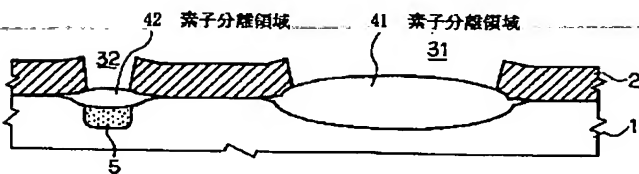
【図8】

実施例2の工程(3)



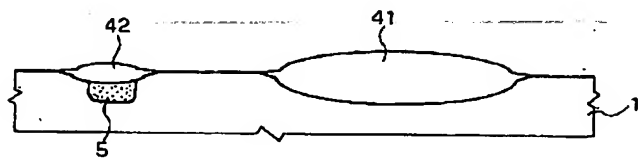
【図3】

実施例1の工程(3)



【図4】

実施例1の工程(4)



【図5】

実施例1の工程(5)



【図7】

実施例2の工程(2)



【図6】

実施例2の工程(1)

